



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2002年12月 4日  
Date of Application:

出願番号      特願2002-353052  
Application Number:

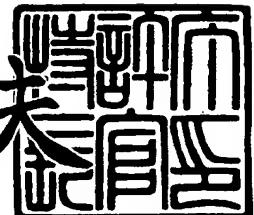
[ST. 10/C] : [JP2002-353052]

出願人      シャープ株式会社  
Applicant(s):

2003年11月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 P02S0004A1  
【提出日】 平成14年12月 4日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 16/06  
【発明の名称】 半導体記憶装置及びリファレンスセルの補正方法  
【請求項の数】 10  
【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町 22番22号 シャープ株式会社内  
【氏名】 松岡 伸明  
【特許出願人】  
【識別番号】 000005049  
【氏名又は名称】 シャープ株式会社  
【電話番号】 06-6621-1221  
【代理人】  
【識別番号】 100114476  
【弁理士】  
【氏名又は名称】 政木 良文  
【電話番号】 06-6233-6700  
【選任した代理人】  
【識別番号】 100107478  
【弁理士】  
【氏名又は名称】 橋本 薫  
【電話番号】 06-6233-6700  
【手数料の表示】  
【予納台帳番号】 072856  
【納付金額】 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1

**【物件名】** 図面 1

**【物件名】** 要約書 1

**【物件名】** 包括委任状 1

**【援用の表示】** 平成14年12月3日付で提出の包括委任状を援用します。

**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びリファレンスセルの補正方法

【特許請求の範囲】

【請求項 1】 1 セル内に N 値データ (N は 2 以上の自然数) を記憶且つ書き換え可能な複数のメモリセルと、

前記メモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルと、

前記リファレンスセルの読み出し回数をカウントするカウンタ回路と、

前記カウンタ回路でカウントされた前記読み出し回数が規定値に達したときに、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認をする確認手段と、

を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記カウンタ回路は、前記メモリセルの読み出し動作、書き込み動作、消去動作の少なくとも一つの動作における前記リファレンスセルの読み出し回数をカウントすることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 1 セル内に N 値データ (N は 2 以上の自然数) を記憶且つ書き換え可能な複数のメモリセルと、

前記メモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルと、

タイミング発生回路と、

前記タイミング発生回路が出力する同期信号に同期して、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認をする確認手段と、

を備えたことを特徴とする半導体記憶装置。

【請求項 4】 前記確認手段が、前記リファレンス値が前記範囲外にあると確認した場合に、そのリファレンス値を前記範囲内に収まるように補正する補正手段を備えていることを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の半導体記憶装置。

【請求項 5】 前記補正手段は、前記リファレンスセルとは別のマスターり

ファレンスセルに固定されたマスターりファレンス値を用いて、前記リファレンス値を補正することを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記マスターりファレンスセルが固定抵抗を用いて構成されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項7】 前記メモリセルと前記リファレンスセルは、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子と選択トランジスタとで構成されていることを特徴とする請求項1～6の何れか1項に記載の半導体記憶装置。

【請求項8】 前記不揮発性抵抗変化素子は、電極間にマンガンを含有するペロブスカイト構造の酸化物が形成されていることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルの補正方法であって、

前記リファレンスセルの読み出し回数をカウントし、

カウントされた前記読み出し回数が規定値に達したときに、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認を行い、

前記リファレンス値が前記範囲外にあると確認した場合に、そのリファレンス値を前記範囲内に収まるように補正することを特徴とするリファレンスセルの補正方法。

【請求項10】 1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルの補正方法であって、

タイミング発生回路が出力する同期信号に同期して、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認を行い、

前記リファレンス値が前記範囲外にあると確認した場合に、そのリファレンス値を前記範囲内に収まるように補正することを特徴とするリファレンスセルの補正方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体記憶装置及びリファレンスセルの補正方法に関する。

**【0002】****【従来技術】**

従来の半導体記憶装置としてフラッシュメモリを例に説明する。フラッシュメモリはフローティングゲートに電荷を注入することにより閾値が変化する。この電荷量を制御することにより、閾値を複数の状態にコントロールし、多値記憶を実現している。例えば閾値を2つの状態（1ビット）に制御可能なフラッシュメモリに記憶させる場合には、16ビットのデータを16個のフラッシュセルで記憶させるが、4つの状態（2ビット）に制御可能なフラッシュメモリの場合は、16ビットのデータを8個のフラッシュセルで記憶が可能となる。ここで、例えば4つの状態のうち、どの状態にあるかチェックするためには、基準となる閾値を有するフラッシュメモリと比較することにより判別可能である。

**【0003】**

しかしながら、基準となる閾値を有するフラッシュメモリ、つまりリファレンスセルは繰り返しアクセスされる。例えば、図2に示すように、リファレンスセルは、全フラッシュセルに対して共通に使用されることがあり、リファレンスセルへのアクセス回数は、あるメモリセルへのアクセスよりも大幅に多い。また、プログラム（書き込み）時に、規定の閾値になっているか確認するためのプログラム用リファレンスセルや、リード（読み出し）時に各記憶状態に対応する閾値を判別するためのリードリファレンスセルは、テスト時に一旦、閾値を設定すると、その後に変更することは困難であった。よって、繰り返し使用することにより、リファレンスセルの閾値が低下するなどして、場合によっては正常なリードやプログラムが出来ないという問題が生じる。さらに、多値メモリセルでは、ある状態の閾値分布範囲が狭いことから、リファレンスセルの劣化はより大きな問題となっていた。

**【0004】**

この問題を解決するために米国特許5, 172, 338号では、フラッシュメモリの各セクタ内にリファレンスセルを有し、フラッシュセルをブロック消去する時に、同時にリファレンスセルを消去し、独立して存在するマスターリファレンスセルを用いてブロック内リファレンスセルを再プログラムする方法が提案されている。

### 【0005】

#### 【特許文献1】

米国特許第5, 172, 338号明細書

### 【0006】

#### 【発明が解決しようとする課題】

マルチレベル化が進むにつれ、各記憶状態に対応する抵抗値の範囲が狭くなっている。そのため、プログラム用リファレンスセルやリード用リファレンスセルの精度が要求されるが、読み出し動作（リード）・書き込み動作（プログラム）・消去動作（イレース）を繰り返し行うことにより、リファレンスセルの劣化が問題となってくる。上述したようにブロック消去する時にリファレンスセルを同時に消去し、マスターリファレンスセルを用いて再プログラムする構成を採用すると、フラッシュメモリのようにブロック消去を行うメモリの場合には有効となるが、1ビット単位で消去するメモリにおいては、1ビット消去毎にリファレンスセルを補正することが必要になり効率が悪いという問題がある。

### 【0007】

本発明は、読み出し動作・書き込み動作・消去動作を繰り返し行なうことによるリファレンスセルの劣化問題を解決するために、効率よくリファレンスセルの状態を確認し、またその補正を行ない、ディスターープ等によるリファレンスセルの劣化を防止し、リファレンスセルの値を高精度に保つことを目的とする。

### 【0008】

#### 【課題を解決するための手段】

この目的を達成するため、本発明による半導体記憶装置の第一の特徴構成は、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルと、前記メモリセルに記憶されたデータ値の読み出し時に用いるリフ

アレンス値を記憶したリファレンスセルと、前記リファレンスセルの読み出し回数をカウントするカウンタ回路と、前記カウンタ回路でカウントされた前記読み出し回数が規定値に達したときに、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認をする確認手段と、を備えた点にある。

#### 【0009】

つまり、一般に任意のメモリセルに対する読み出し動作、書き込み動作、消去動作といったアクセスの度に、書き込みが正常に完了したか、消去が正常に完了したかなどの確認処理が行なわれるが、その際に必ずリファレンスセルの読み出し動作が実行される。従って、カウンタ回路によりリファレンスの読み出し回数をカウントし、読み出し回数がリファレンス値の変動許容範囲からの逸脱前と想定される規定値に達したときに、確認手段によりリファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かを確認すれば、毎回の確認をしなくともその間のリファレンス値の精度は保障されるのである。尚、以下本明細書では、上述したメモリセルに対する読み出し動作、書き込み動作、消去動作といったアクセスの度に、書き込みが正常に完了したか、消去が正常に完了したかなどをリファレンスセルと対比して判断する確認処理や、リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かを判断する確認処理をベリファイとも表現する。

#### 【0010】

上述の構成において、前記カウンタ回路は、前記メモリセルの読み出し動作、書き込み動作、消去動作の少なくとも一つの動作における前記リファレンスセルの読み出し回数をカウントすることでより効率よく確認でき、例えば閾値変動の起因となるリファレンスセルにかかるストレスが、メモリセルに対する読み出し動作、書き込み動作、消去動作のいずれかで異なるような場合には、その最大ストレスがかかる動作における読み出し回数をカウントすることがより効率的な確認作業ができる点で好ましい。

#### 【0011】

本発明による半導体記憶装置の第二の特徴構成は、1セル内にN値データ（N

は2以上の自然数)を記憶且つ書き換え可能な複数のメモリセルと、前記メモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルと、タイミング発生回路と、前記タイミング発生回路が出力する同期信号に同期して、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認をする確認手段とを備えた点にある。

#### 【0012】

つまり、リファレンスセルの劣化による誤動作の発生は、初期状態から所定レベルのストレスの蓄積時間との相関関係があると想定され、そのような誤動作発生前の所定タイミングでリファレンス値を確認することにより、毎回の確認をしなくともその間のリファレンス値の精度は保障されるのである。

#### 【0013】

上述の構成に加えて、前記確認手段により前記リファレンス値が前記範囲外にあると確認されたときに、補正手段がそのリファレンス値を前記範囲内に収まるように補正するよう構成すれば、常に安定動作が保障されるのである。

#### 【0014】

ここで、前記リファレンス値の補正を、前記リファレンスセルとは別のマスターリファレンスセルに固定されたマスターリファレンス値を用いて行なえば、確実にリファレンスセルを補正できる。つまり、マスターリファレンスは、アクセス頻度が極めて少なく従って劣化が殆んど生じないことによる。ここに、前記マスターリファレンスセルが電気的ストレスによる劣化の生じない固定抵抗を用いて構成されることが好ましい。

#### 【0015】

前記メモリセルと前記リファレンスセルは、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子と選択トランジスタとで構成されているのが好ましく、前記不揮発性抵抗変化素子は、電極間にマンガンを含有するペロブスカイト構造の酸化物が形成されていることが好ましい。

#### 【0016】

本発明によるリファレンスセルの補正方法の第一の特徴構成は、1セル内にN

値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルの補正方法であって、前記リファレンスセルの読み出し回数をカウントし、カウントされた前記読み出し回数が規定値に達したときに、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認を行い、前記リファレンス値が前記範囲外にあると確認した場合に、そのリファレンス値を前記範囲内に収まるように補正する点にある。

#### 【0017】

本発明によるリファレンスセルの補正方法の第二の特徴構成は、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルに記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセルの補正方法であって、タイミング発生回路が出力する同期信号に同期して、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認を行い、前記リファレンス値が前記範囲外にあると確認した場合に、そのリファレンス値を前記範囲内に収まるように補正する点にある。

#### 【0018】

##### 【発明の実施の形態】

以下図面に基づいて本発明による半導体記憶装置及びリファレンスセルの補正方法を説明する。

#### 【0019】

図1に示すように、半導体記憶装置は、チップ内を複数のセクタに分割して各セクタS<sub>1</sub>～S<sub>j</sub>内に、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセル1と、前記メモリセル1に対する読み出し・書き込み・消去の各動作を実行するメモリアクセス回路7と、前記メモリセル1に記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセル2と、前記リファレンスセル2の読み出し回数をカウントするカウンタ回路3と、前記カウンタ回路3でカウントされた前記読み出し回数が規定値に達したときに、前記リファレンスセルに記憶した前記リファレンス値が予め設定された範囲にあるか否かの確認をする確認手段4と、前記確認手段4により前記リ

ファレンス値が前記範囲外にあると確認された場合に、そのリファレンス値を前記範囲内に収まるようにマスターリファレンスセル6に基づいて補正する補正手段5を備えて構成してある。

#### 【0020】

前記メモリセル1、リファレンスセル2、及び、マスターリファレンスセル6は、電圧印加などによる電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子（Novel resistance control nonvolatile RAM以下、「RRAM素子」と記す。）と選択トランジスタとで構成される。RRAM素子は、電気的ストレスの印加により電気抵抗が変化し、電気的ストレス解除後も、変化した電気抵抗が保持されることにより、その抵抗変化でデータの記憶が可能な不揮発性の記憶素子で、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$ 等のマンガン酸化膜をMOVD法、スピンドルコート法、レーザアブレーション、スパッタリング法等で成膜して作成される。

#### 【0021】

以下、本明細書では、RRAM素子の「抵抗値を上げる」ときを「書き込む」と表現し、「抵抗値を下げる」ときを「消去する」と表現し、通常、書き込みを行なうときは選択トランジスタをオンにしてビット線に3V、ソース線に0Vの電圧を印加し、逆に消去するときは選択トランジスタをオンにしてビット線に0V、ソース線に3Vを印加し、読み出しを行なうときは選択トランジスタをオンにしてビット線に1.5V、ソース線に0Vを印加する。尚、それぞれの電圧値は、電圧発生回路により切り替え供給されるように構成され、その値は、上述の値に限定されるものではなく、不揮発性抵抗変化素子の個別の特性に合わせて適宜設定すればよく、本実施形態に限定されるものではない。

#### 【0022】

各セクタ内のリファレンスセル2は、前記アクセス回路7によるメモリセル1の読み出し動作や、書き込み・消去の各動作に伴う確認動作に伴って発生するリファレンスセル2へのアクセス回数を記憶するカウンタ回路3からの信号により、そのデータが確認される。前記確認手段4は、前記カウンタ回路3によりカウントされたリファレンスセルへのアクセス回数が規定回数に到達した旨の信号を受信した後に、リファレンスセルの状態が所定の分布範囲に納まっているか否かをチェックする。

#### 【0023】

前記補正手段5は、前記確認手段4による確認処理の結果、リファレンスセル2の状態が所定の分布範囲外のとき、マスターリファレンスセル6を用いて、リファレンスセル2が所定の分布範囲に収まるように補正する。この補正は、セクタ内のリファレンスセル2を消去して再書き込みを行なう場合と、再書き込みのみを行なう場合がある。ここでは前記メモリセル1への書き込み、消去、読み出しの全ての動作において前記リファレンスセル2をアクセスする回数をカウントするが、メモリセル1への書き込みの後に正しく書き込まれたか否かを確認するための前記リファレンスセル2へのアクセスのみカウントする場合、消去の後に正しく消去されたか否かを確認するための前記リファレンスセル2へのアクセスのみカウントする場合、読み出しのみカウントする場合、もしくは、これらを組み合わせたものでカウントする場合を選択可能であり、例えばR R A M素子の抵抗値変動の起因となるリファレンスセルにかかるストレスが、メモリセルに対する読み出し動作、書き込み動作、消去動作のいずれかで異なる場合には、その最大ストレスがかかる動作における読み出し回数をカウントすることでより効率的な確認作業ができる。

#### 【0024】

前記マスターリファレンスセル6は、消去されたセクタリファレンスセルの抵抗値を再設定するためにのみ用いる。セクタリファレンスセル2はセクタ内のメモリセル1にアクセスされた時に同時にアクセスされるが、マスターリファレンスセル6はセクタリファレンスセル2が消去され再プログラムされる時にのみアクセスされる。

## 【0025】

次に、図3に基づいて、前記リファレンスセル2の抵抗値を設定する方法を説明する。本実施形態では、1つのメモリセルで4つの状態を記憶可能なRAM素子に用いるリファレンスセル2について例を挙げる。図中のA, B, C, Dはメモリセル1に記憶される4つの状態を表している。この4つの状態を判別するためにはその境界を識別するためリファレンスセルが3つ必要となる。3つの抵抗値のうち、第1のセクタリファレンスセル抵抗 $R_{ref1}$ を

## 【0026】

$$\text{【数1】 } R_1 < R_{ref1} < R_1'$$

## 【0027】

に設定し、同様に第2、第3のセクタリファレンスセル抵抗をそれぞれ $R_{ref2}$ 、 $R_{ref3}$ としてそれぞれ

## 【0028】

$$\text{【数2】 } R_2 < R_{ref2} < R_2'$$

## 【0029】

$$\text{【数3】 } R_3 < R_{ref3} < R_3'$$

## 【0030】

に設定する。尚、 $(R_1' - R_1)$ の値が小さいほどより多くの抵抗状態を形成できることから多值化にとって都合がよい。

## 【0031】

次に、図4に示す回路に基づいてこれらの設定方法を詳述する。P型MOSFETであるP1とP2のソースはそれぞれ電源電圧に、ゲートはそれぞれ共通に接続され、P1のゲートとドレインはノードS1を介して接続され、カレントミラーをなしている。また、P1、P2のドレインには、N型MOSFETであるN1とN2のドレインにそれぞれ接続されている。N1のゲートはカウンタ回路3の出力と接続されており、カウンタ回路3は読み出し、書き込みベリファイ、消去ベリファイを伝える信号(Sread)が入力されている。またカウンタ回路3の出力がノードS2を介してN2のゲートに接続されている。また、N1のソースには、各マスタリファレンスセルの選択スイッチであるN型MOSFET

で構成されるN3～N8のドレインがそれぞれ接続されている。N3～N8の各ソースにはマスタリファレンスセル6であるRAM素子の一端が接続されており、他端はグランドレベルにするためのスイッチであるN型MOSFETであるN12のドレインに接続され、N12のソースはグランドレベルに接続されている。一方、N2のソースは、ノードS<sub>p</sub>を介して各セクタリファレンスセル2の選択スイッチであるN型MOSFETであるN9～N11のドレインと、高電圧・グランドレベルを切り替え出力する電圧発生回路8の出力に接続されている。またN9～N11の各ソースには、セクタリファレンスセル2であるRAM素子の一端が接続されており、他端はグランドレベル及び高電圧を切り替え出力可能な電圧発生回路9の出力と接続されている。

#### 【0032】

次に上述の回路の動作を図5に基づいて説明する。ステップ1では前記カウンタ回路3からの確認要求信号がノードS2に出力されるか否かの判断が行なわれ、確認要求信号がない場合はセクタリファレンスセル2の補正是行なわず終了し、確認要求信号がある場合はステップ2に移行してセクタリファレンスセル2に書き込まれたデータを読み出し、ステップ3でセクタリファレンスセル2の状態が期待している分布範囲の上限以上か否かの判断が行なわれる。

#### 【0033】

上限以上である場合には、ステップ4でセクタリファレンスセルを消去し（図3のAの状態）、ステップ6でセクタリファレンスセル2の状態が期待している分布範囲内になるまで書き込み動作を行ない、セクタリファレンスセル2のデータを補正する。上限以上でない場合には、ステップ5でセクタリファレンスセル2の状態が期待している分布範囲の下限以下か否かの判断が行なわれ、下限以下である場合、ステップ6でセクタリファレンスセル2の状態が期待している分布範囲内になるまで書き込みを行ない、セクタリファレンスセルのデータを補正し、下限以下でない場合、セクタリファレンスセルの補正を行なわない。

#### 【0034】

詳述すると、セクタリファレンスセル2の抵抗値をR1 < R<sub>ref</sub>1 < R1'に設定する場合について説明する。カウンタ回路3からの確認要求信号がある

か否かの判断が行なわれ、確認要求信号があった場合、N型MOSFETであるN1, N2, N3, N9, N12, N13をオンにし、セクタリファレンスセルR<sub>ref</sub>1を読み出し、抵抗R1'を有するマスタリファレンスセルとセクタリファレンスセルR<sub>ref</sub>1'を比較する。即ち、前記カレントミラー回路とその周辺回路とで確認手段4が構成される。判定信号によりR1' < R<sub>ref</sub>1と判定された場合はR<sub>ref</sub>1を消去（図3のAの状態）する。具体的には、N型MOSFETであるN2をオフ状態に、N9、N13をオン状態にした後、S<sub>p</sub>ノードをグランドレベルに維持し、電圧発生回路9から高電圧を出力し、R<sub>ref</sub>1に電圧を印加することにより消去する。

### 【0035】

R1' > R<sub>ref</sub>1の場合には、N型MOSFETであるN1, N2, N4, N9, N12, N13をオンにして、抵抗R1を有するマスタリファレンスセルとセクタリファレンスセルR<sub>ref</sub>1を比較する。判定信号によりR1 > R<sub>ref</sub>1と判定された場合には書き込みを行ない抵抗値を上げる。具体的には、N2をオフ、N9、N13をオン状態にして、電圧発生回路8は高電圧出力、電圧発生回路9はグランドレベルにすることによりRAM素子に電圧を印加して書き込む。

### 【0036】

この書き込みとベリファイの一連の動作をR1 < R<sub>ref</sub>1 < R1'になるまで繰り返し行う。即ち、前記カレントミラー回路と電圧発生回路8, 9とその周辺回路とで補正手段5が構成される。同様に、セクタリファレンスセルの抵抗値をR2 < R<sub>ref</sub>2 < R2'に設定するためにN1, N2, N5, N6, N10, N12, N13を制御することにより実現することが可能となる。

### 【0037】

ここまで、カウンタ回路3を採用することにより、定期的にセクタリファレンスセルの状態を確認して補正することを述べてきたが、以下に別実施の形態を図6に基づいて説明する。ここで、図4との違いは、カウンタ回路3の代わりにタイミング発生回路3'を採用したことである。カウンタ回路3は、メモリセルに対する書き込みベリファイ、消去ベリファイ、読み出しをカウントすることによ

り定期的にセクタリファレンスセル2を消去・書き込みしたが、アクセス回数によらず、時間的に消去・書き込みを行う機能を備えたものがこの実施形態となる。例えば、1時間毎に、セクタリファレンスセルを消去・再プログラムしてリフレッシュすることによりセクタリファレンスセルの精度を保持することが可能となる。さらには、カウンタ回路3とタイミング発生回路3'との双方を採用して、何れか早期に確認要求信号が出力されたときに確認処理、補正処理を行なうように構成することも可能である。

### 【0038】

上述したメモリセル1に対するデータの読み出し動作について説明すると、図7に示すように、アクセス回路7により選択された任意のメモリセルに対して電圧発生回路10の出力を高インピーダンス状態に設定するとともに電圧発生回路11をグランドレベルに設定する一方、選択されたリファレンスセルに対して電圧発生回路8を高インピーダンス状態に設定するとともに電圧発生回路9をグランドレベルに設定し、カレントミラー回路に流れる電流を比較することによりメモリセルのデータが読み出される。

### 【0039】

上述したように、マスタリファレンス6とセクタリファレンス2との抵抗値比較、及びメモリセル1とセクタリファレンス2との抵抗値比較を、カレントミラーア回路による電流検出で構成することもできるが、差動增幅回路を用いた電圧検出で構成することも可能である。図8は、後者の一例で独立したコンパレータSAで構成したものであるが、メモリセル1の読み出しやプログラムベリファイ時に用いるセンスアンプと共に用することも可能である。この場合、図9に示すように、例えば、選択メモリセルの読み出しやプログラムベリファイ時には、スイッチsw1がオン、スイッチsw2がオフとなり選択メモリセルとセクタリファレンスセルがセンスアンプに接続され、データが出力される。一方、セクタリファレンスセルを再プログラムするときには、スイッチsw1がオフ、スイッチsw2がオンとなりセクタリファレンスセルとマスターリファレンスセルがセンスアンプに接続され、セクタリファレンスセルが規定の抵抗値になるまで繰り返しプログラムされる構成が可能となる。

### 【0040】

上述の実施形態では、確認手段によりリファレンス値が前記範囲外にあると確認された場合に、そのリファレンス値を範囲内に収まるように補正する補正手段を備えたものを説明したが、試験的にストレスの程度を計測する用途や、リファレンスセルに異常が確認された時点で寿命が尽きたとの製品仕様を有する半導体記憶装置などにおいては確認手段を備えてその結果を把握できればよく、補正手段は必ずしも必要ではない。

### 【0041】

上述の実施形態ではメモリセル、リファレンスセル、マスターリファレンスセルにR R A M素子を用いた例を説明したが、マスターリファレンスセルとしてはR R A M素子の代わりに固定抵抗を採用することによりマスターリファレンスセルの精度を良好に確保することが可能となる。

### 【0042】

上述の実施形態では、書き込み状態検知手段として、電圧検知型の差動増幅回路を用いて構成したものを説明したが、書き込み状態検知手段としてはこれに限定するものではなく、検知対象に応じて適宜構成することが可能である。例えば、電流検知型の差動増幅回路を用いて抵抗値を間接的に検知することも可能である。

### 【0043】

上述の実施形態ではメモリセル、リファレンスセル、マスターリファレンスセルにR R A M素子を用いた例を説明したが、R R A M素子の代わりに磁化の方向により抵抗値が変わるM R A Mや熱による結晶状態の変化により抵抗値が変わることのできるO U Mなどを用いることも可能である。

### 【0044】

#### 【発明の効果】

以上説明したように、本発明によれば、読み出し動作・書き込み動作・消去動作を繰り返し行なうことによりリファレンスセルの劣化が生じても、効率よくリファレンスセルの状態を確認し、またその補正を行ない、ディスクターブ等によるリファレンスセルの劣化を防止し、リファレンスセルの値を高精度に保つことが

可能となる。

【図面の簡単な説明】

【図 1】

本発明による半導体記憶装置の一実施の形態を示す回路ブロック構成図

【図 2】

従来のフラッシュメモリの回路ブロック構成図

【図 3】

メモリセルの抵抗分布説明図

【図 4】

要部の回路図

【図 5】

フローチャート

【図 6】

別実施形態を示す要部の回路図

【図 7】

要部の回路図

【図 8】

要部の回路ブロック構成図

【図 9】

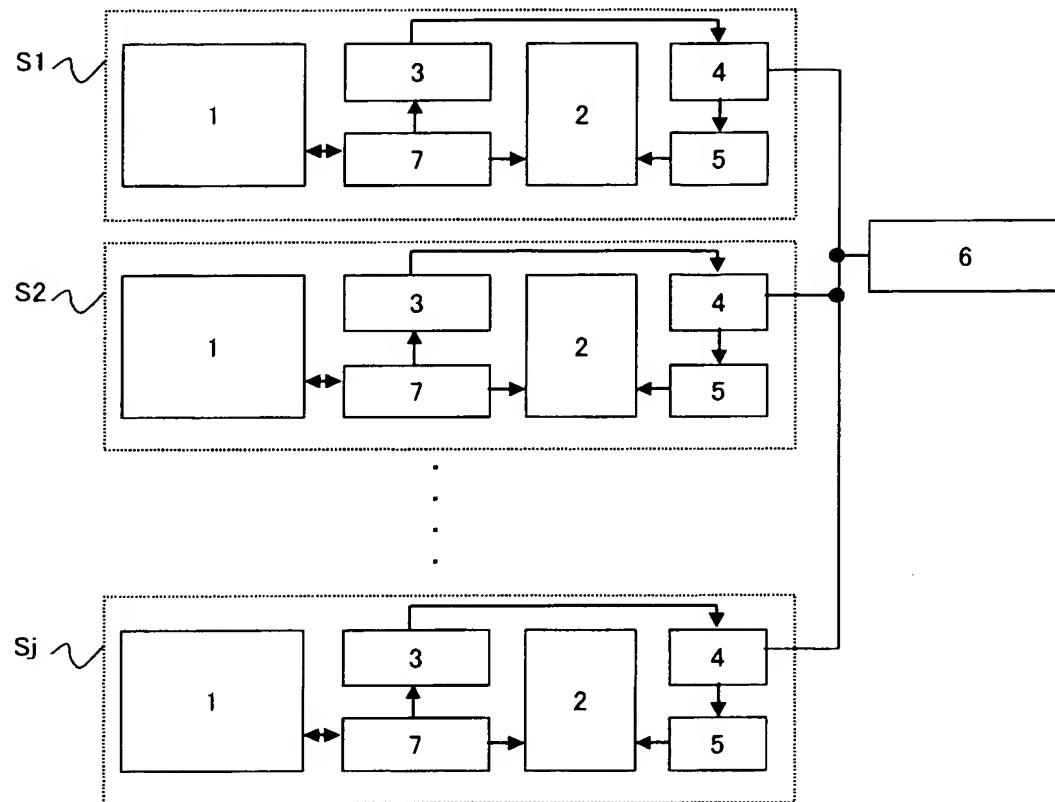
要部の回路ブロック構成図

【符号の説明】

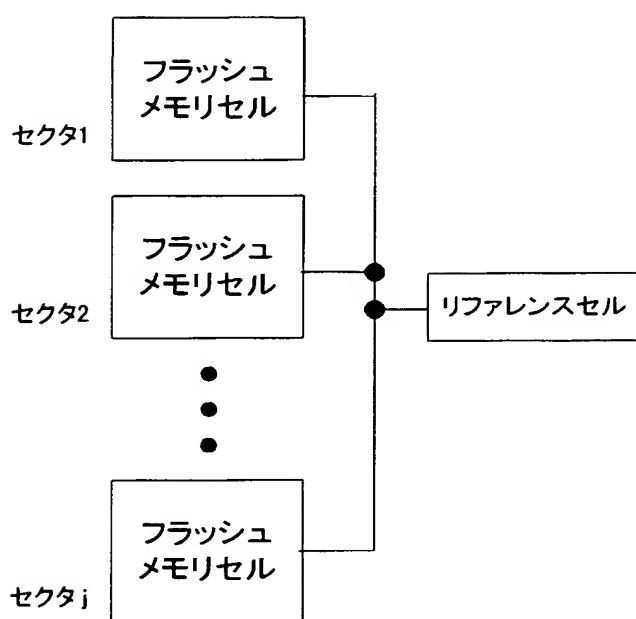
- 1 : メモリセル
- 2 : リファレンスセル
- 3 : カウンタ回路
- 4 : 確認手段
- 5 : 補正手段
- 6 : マスターリファレンスセル

【書類名】 図面

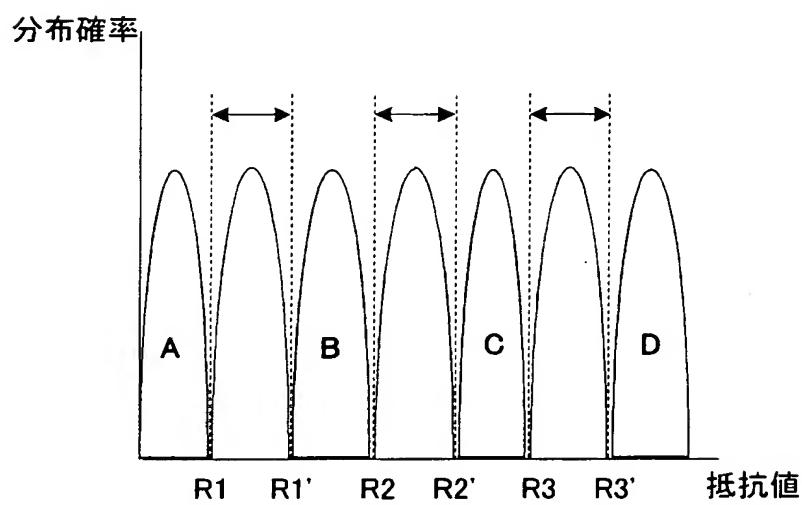
【図 1】



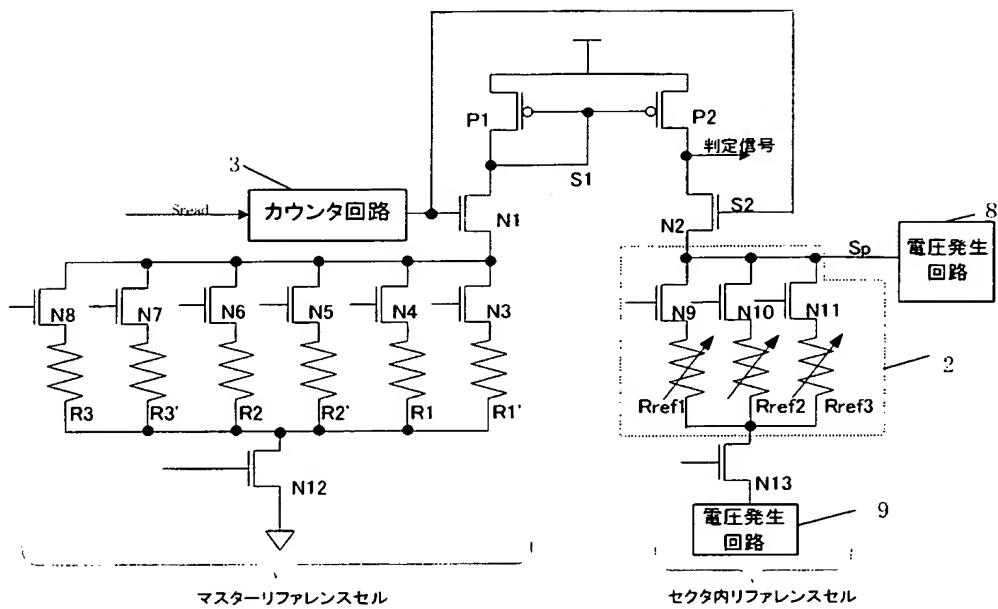
【図 2】



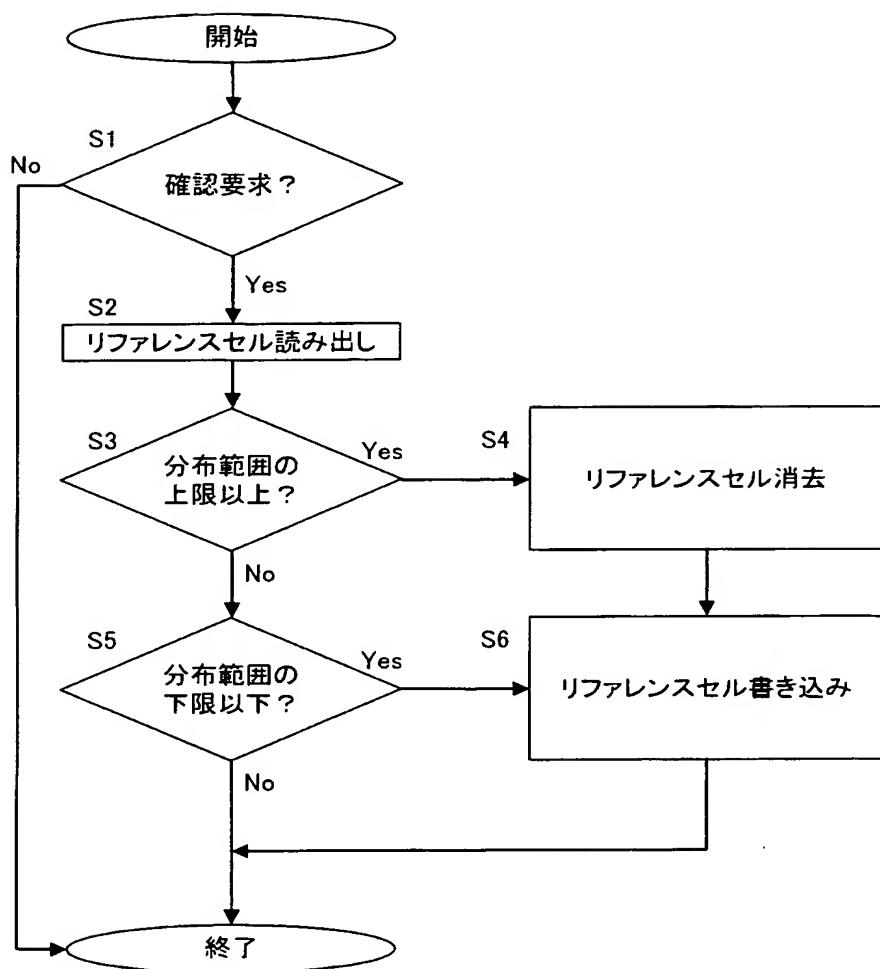
【図 3】



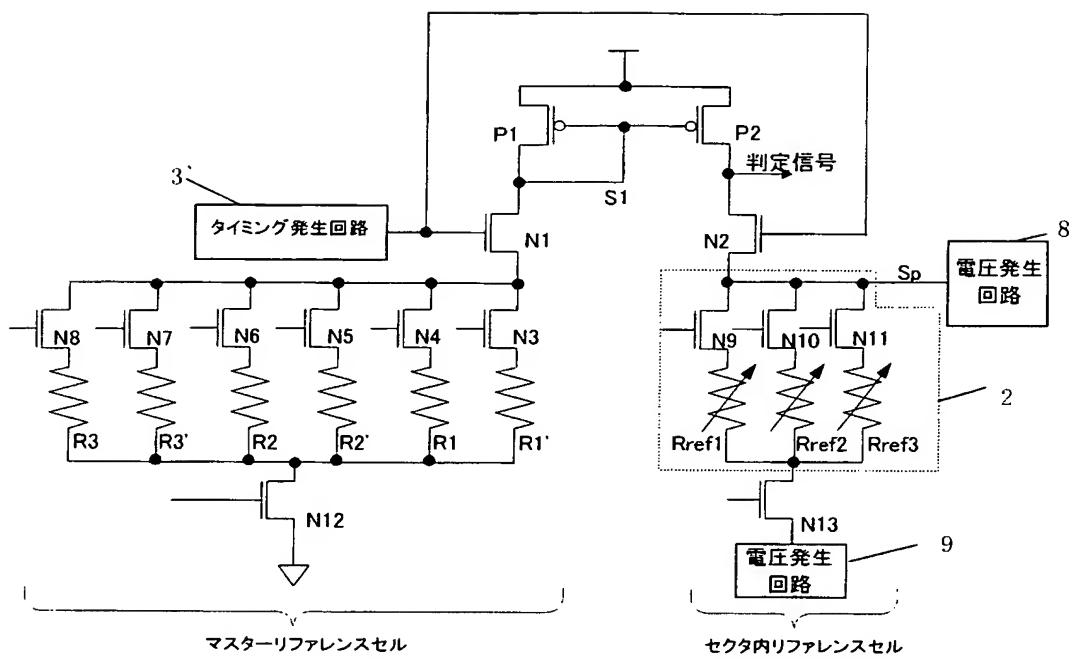
【図 4】



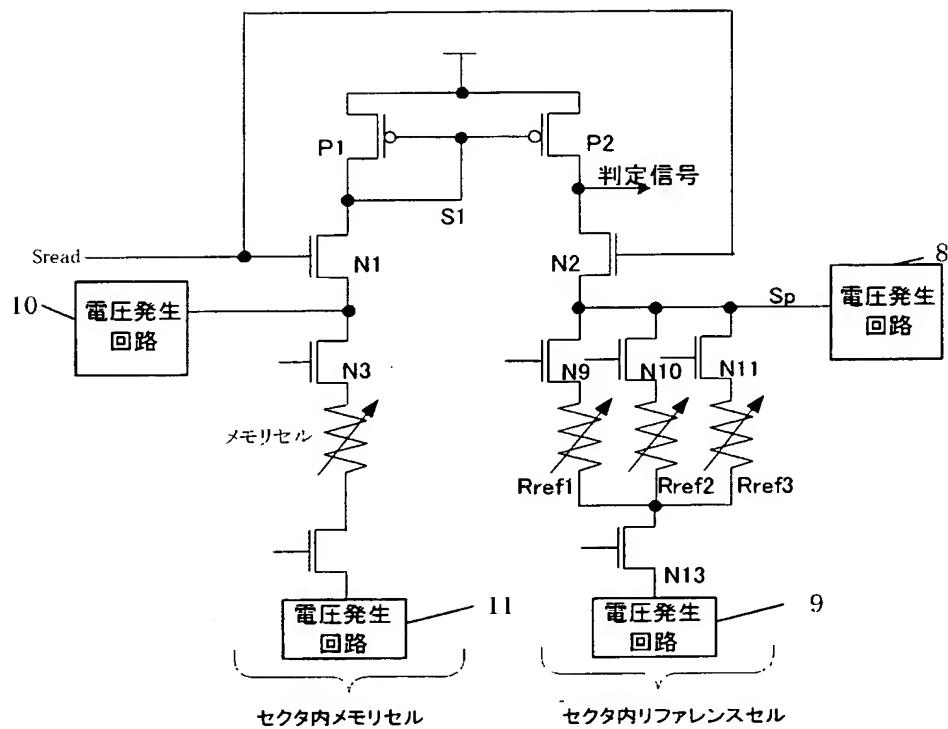
【図 5】



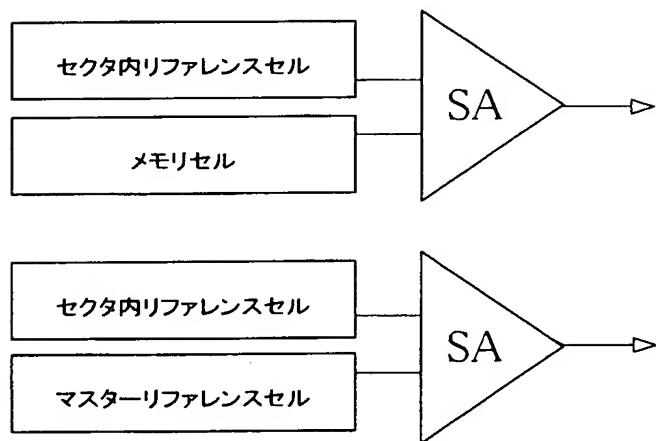
【図 6】



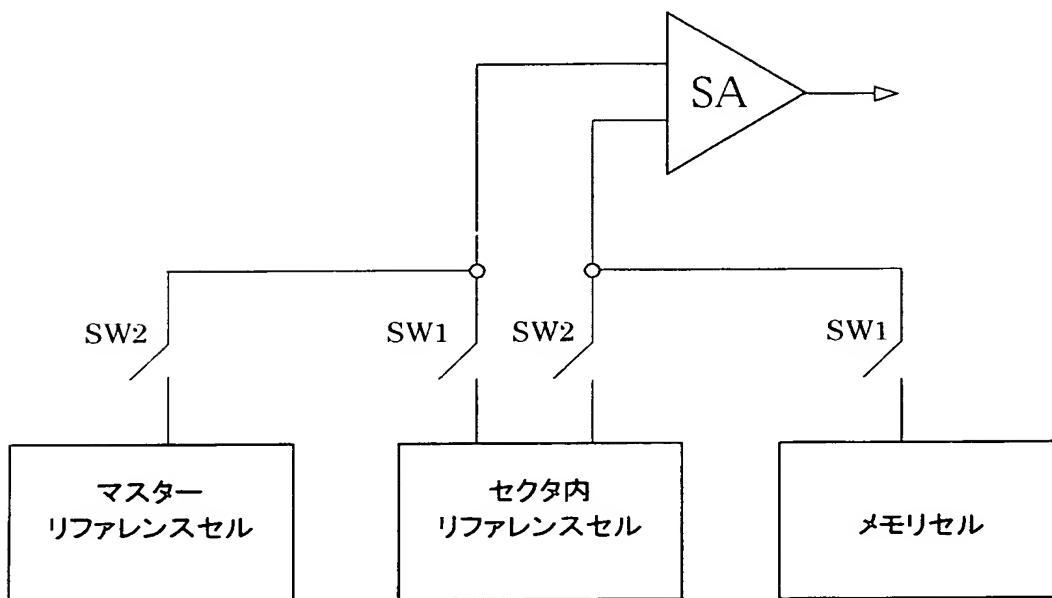
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 リファレンスセルの劣化問題を解決するために、効率よくリファレンスセルの状態を補正し、ディスターブ等によるリファレンスセルの劣化を防止し、リファレンスセルの値を高精度に保つ半導体記憶装置を提供する。

【解決手段】 1 セル内にN値データを記憶且つ書き換え可能な複数のメモリセル1と、メモリセル1に記憶されたデータ値の読み出し時に用いるリファレンス値を記憶したリファレンスセル2と、リファレンスセル2の読み出し回数をカウントするカウンタ回路3と、カウントされた前記読み出し回数が規定値に達したときに、リファレンスセルに記憶したリファレンス値が予め設定された範囲にあるか否かの確認をする確認手段4と、確認手段4によりリファレンス値が範囲外にあると確認された場合に、そのリファレンス値を範囲内に収まるようにマスターリファレンスセル6に基づいて補正する補正手段5と、を備えて構成する。

【選択図】 図1

特願2002-353052

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社